

Docket No.: 57810-095

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of : Customer Number: 20277
Yasuhiro TAKEDA, et al. : Confirmation Number:
Serial No.: : Group Art Unit:
Filed: March 30, 2004 : Examiner:
For: SEMICONDUCTOR DEVICE AND METHOD OF FABRICATING SEMICONDUCTOR
DEVICE

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:


In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

**Japanese Patent Application No. 2003-093420;
Japanese Patent Application No. 2003-094210;
Japanese Patent Application No. 2003-093431 &
all filed on March 31, 2003**

cited in the Declaration of the present application. Certified copies are submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Arthur J. Steiner
Registration No. 26,106

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 AJS:prg
Facsimile: (202) 756-8087
Date: March 30, 2004

WDC99 898734-1.057810.0095



日 本 国 特 許 庁
JAPAN PATENT OFFICE

57810-095
Takeda et al.
March 30, '04

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 3 月 3 1 日

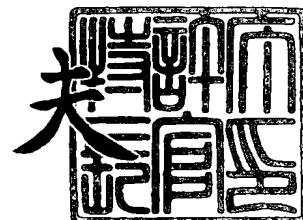
出 願 番 号
Application Number: 特 願 2 0 0 3 - 0 9 3 4 2 0
[ST. 10/C]: [J P 2 0 0 3 - 0 9 3 4 2 0]

出 願 人
Applicant(s): 三 洋 電 機 株 式 会 社

2 0 0 4 年 2 月 1 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 0 8 1 4 9



【書類名】 特許願

【整理番号】 NPC1030010

【提出日】 平成15年 3月31日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/335

【発明者】

 【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号
 三洋電機株式会社内

 【氏名】 金田 和博

【発明者】

 【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号
 三洋電機株式会社内

 【氏名】 武田 安弘

【発明者】

 【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号
 三洋電機株式会社内

 【氏名】 小田 真弘

【発明者】

 【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号
 三洋電機株式会社内

 【氏名】 中野 勇男

【特許出願人】

 【識別番号】 000001889

 【氏名又は名称】 三洋電機株式会社

 【代表者】 桑野 幸徳

【代理人】

 【識別番号】 100104433

 【弁理士】

 【氏名又は名称】 宮園 博一



【手数料の表示】

【予納台帳番号】 073613

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0001887

【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 第 1 導電型の半導体領域の表面上に形成されたゲート絶縁膜上にゲート電極を形成する第 1 の工程と、

少なくとも前記ゲート電極に、誘電率を低減する元素をイオン注入する第 2 の工程と、

前記ゲート電極の側面にサイドウォールスペーサを形成する第 3 の工程と、

少なくとも前記サイドウォールスペーサの上にシリコン窒化膜を形成する第 4 の工程と、

熱処理により前記誘電率を低減する元素を前記ゲート電極から前記サイドウォールスペーサに拡散させる第 5 の工程と、
を含む、半導体装置の製造方法。

【請求項 2】 前記第 2 の工程において、前記誘電率を低減する元素は、前記第 1 導電型の半導体領域にも注入され、

前記第 5 の工程において、熱処理により前記誘電率を低減する元素が前記第 1 導電型の半導体領域から前記サイドウォールスペーサにも拡散する、請求項 1 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置の製造方法に関するものである。

【0002】

【従来の技術】

近年、半導体装置の高集積化に伴って、MOS トランジスタなどの微細化が進められている。MOS トランジスタを微細化した場合、ゲート電極とソース／ドレイン領域との間隔が小さくなる。これに伴い、ゲート電極とソース／ドレイン領域との間に形成されているサイドウォールスペーサを介して生じる寄生容量（オーバーラップ容量）が増大する。このようにオーバーラップ容量が増大すると

、MOSトランジスタの動作速度が低下するという不都合が生じる。このため、半導体集積回路の高速化を実現する上で、オーバーラップ容量の低減が非常に重要となってきた。

【0003】

そこで、従来、ゲート電極とソース／ドレイン領域との間のオーバーラップ容量を低減する方法が種々提案されている（例えば、特許文献1参照）。

【0004】

上記特許文献1には、ゲート電極とソース／ドレイン領域との間に位置するゲート絶縁膜部分を、フッ素を導入した低誘電率の酸化膜により形成することによって、オーバーラップ容量を低減する方法が提案されている。

【0005】

図18は、上記特許文献1において提案された従来の半導体装置のゲート電極付近の断面図である。図18を参照して、この提案された従来の半導体装置では、半導体基板101の表面上に、フッ素が導入されていない酸化膜102が形成されている。また、半導体基板101の表面上に、フッ素が導入されていない酸化膜102を挟むように、フッ素が導入された酸化膜103が形成されている。そして、フッ素が導入されていない酸化膜102とフッ素が導入された酸化膜103とによって、ゲート絶縁膜が形成されている。また、このゲート絶縁膜の上には、シリコン窒化膜からなるサイドウォールスペーサ105とポリシリコンからなるゲート電極104とが形成されている。

【0006】

このように、図18に示した従来の半導体装置では、サイドウォールスペーサ105の下に位置するゲート絶縁膜部分を、フッ素を導入した低誘電率の酸化膜103により形成することによって、ゲート電極104とソース／ドレイン領域（図示せず）との間に生じるオーバーラップ容量を低減することができる。

【0007】

図18に示した従来の半導体装置の製造プロセスについて、図19～図22を参照して説明する。

【0008】

まず、図19に示すように、半導体基板101の表面上に酸化物106を形成した後、フォトリソグラフィ技術とエッチング技術とを用いて、酸化膜106の所定部分を除去する。そして、エッチングにより露出された半導体基板101の表面上に、2nm～20nmの厚みを有する酸化膜103を形成した後、その酸化膜103にフッ素イオンを注入することによって、酸化膜103を低誘電率化する。その後、全面にシリコン窒化膜105aを堆積する。

【0009】

次に、シリコン窒化膜105aを異方性エッチングすることにより、図20に示すように、酸化膜106の内側面に、シリコン窒化膜からなるサイドウォールスペーサ105を形成する。この後、酸化膜23のうち、サイドウォールスペーサ105の下に位置しない部分をエッチングにより除去することによって、半導体基板101の表面を露出させる。

【0010】

図21に示すように、露出された半導体基板101の表面上に、2nm～10nmの厚みを有する酸化膜102を形成する。この後、全面に、ポリシリコン層104aを100nm～400nmの厚みで堆積する。

【0011】

この後、CMP (Chemical Mechanical Polishing) 法を用いて、ポリシリコン層104aの余分な堆積部分を除去することによって、図22に示すような形状が得られる。最後に、酸化膜106を除去することにより、図18に示したような半導体装置のゲート電極周辺が完成する。

【0012】


【特許文献1】

特開2000-323710号公報

【発明が解決しようとする課題】

しかしながら、図18に示した従来の半導体装置の製造方法では、低誘電率の酸化膜が形成される領域が小さいため、ゲート電極とソース／ドレイン領域との間のオーバーラップ容量を十分に低減するのは困難であるという問題点がある。

【0013】



この発明は、上記のような問題を解決するためになされたものであり、この発明の1つの目的は、ゲートソース／ドレイン領域間に生じるオーバーラップ容量を十分に低減することが可能な半導体装置の製造方法を提供することである。

【0014】

【課題を解決するための手段】

上記目的を達成するために、請求項1における半導体装置の製造方法は、第1導電型の半導体領域の表面上に形成されたゲート絶縁膜上にゲート電極を形成する第1の工程と、少なくともゲート電極に、誘電率を低減する元素をイオン注入する第2の工程と、ゲート電極の側面にサイドウォールスペーサを形成する第3の工程と、少なくとも前記サイドウォールスペーサの上にシリコン窒化膜を形成する第4の工程と、熱処理により誘電率を低減する元素を前記ゲート電極からサイドウォールスペーサに拡散させる第5の工程とを含むことをその要旨とする。

【0015】

請求項1では、上記のように、ゲート電極にイオン注入された誘電率を低減する元素を熱処理によりサイドウォールスペーサに拡散させるため、サイドウォールスペーサの誘電率を低減することができるので、ゲート電極とソース／ドレイン領域との間の絶縁膜の誘電率を十分に小さくすることができる。その結果、ゲート電極とソースドレイン領域との間のオーバーラップ容量を十分に低減することができる。

【0016】

請求項2による半導体装置の製造方法では、誘電率を低減する元素は、第1導電型の半導体領域にも注入され、第5の工程において、熱処理により誘電率を低減する元素が第1導電型の半導体領域からサイドウォールスペーサにも拡散する。このようにすれば、誘電率を低減する元素が第1導電型の半導体領域からもサイドウォールスペーサに拡散する。従って、サイドウォールスペーサの誘電率を十分に低減することができるので、ゲート電極とソース／ドレイン領域との間の絶縁膜の誘電率を十分に小さくすることができる。その結果、ゲート電極とソースドレイン領域との間のオーバーラップ容量を十分に低減することができる。

【0017】

【発明の実施の形態】

以下、本発明の実施形態を図面に基いて説明する。

【0018】

図1は、本発明の一実施形態による半導体装置（CMOSインバータ）の構造を示した断面図であり、図2は図1に示す半導体装置のnチャネルMOSトランジスタ部分の拡大断面図である。図1および図2を参照して、この一実施形態による半導体装置では、本発明を、nチャネルMOSトランジスタとpチャネルMOSトランジスタを相補的に機能させたCMOSインバータに適用した例について説明する。

【0019】

本実施形態による半導体装置では、図1に示すように、p型単結晶シリコン基板1の主表面の所定領域に、隣接する素子形成領域（活性領域）間を分離するためのSTI（Shallow Trench Isolation）構造を有する素子分離2a、2bおよび2cが形成されている。また、p型単結晶シリコン基板1のnチャネルMOSトランジスタが形成される領域には、pウェル領域12aが形成されており、pチャネルMOSトランジスタが形成される領域には、nウェル領域12bが形成されている。また、pウェル領域12a内には、チャネル領域1aを挟むように、所定の間隔を隔てて、一对のソース／ドレイン領域5が形成されている。このnチャネルMOSトランジスタのソース／ドレイン領域5は、低濃度不純物領域5aと高濃度不純物領域5bとからなるLDD（Lightly Doped Drain）構造を有する。チャネル領域1a上には、約2nm～約10nmの厚みを有するシリコン酸窒化物からなるゲート絶縁膜3を介して、約150nm～約200nmの多結晶シリコン層からなるゲート電極4aが形成されている。一对のn型のソース／ドレイン領域5とゲート絶縁膜3とゲート電極4aとによって、nチャネルMOSトランジスタが形成されている。

【0020】

また、nウェル領域12b内には、チャネル領域1bを挟むように、所定の間隔を隔てて、一对のソース／ドレイン領域15が形成されている。このpチャネ

ルMOSトランジスタのソース／ドレイン領域15は、低濃度不純物領域15aと高濃度不純物領域15bとからなるLDD (Lightly Doped Drain) 構造を有する。チャネル領域1b上には、約2nm～約10nmの厚みを有するシリコン酸窒化物からなるゲート絶縁膜3を介して、約150nm～約200nmの多結晶シリコン層からなるゲート電極4bが形成されている。一对のn型のソース／ドレイン領域15とゲート絶縁膜3とゲート電極4bとによって、pチャネルMOSトランジスタが形成されている。

【0021】

また、nチャネルMOSトランジスタおよびpチャネルMOSトランジスタを構成するゲート電極4aおよび4bの側面には、シリコン酸化膜からなるサイドウォールスペーサ7がそれぞれ形成されている。ゲート電極4aおよび4bの上面およびソース／ドレイン領域5および15を構成する高濃度不純物領域5bおよび15bの上面上には、それぞれ、 CoSi_2 からなるシリサイド膜8aおよび8bが形成されている。

【0022】

また、全面を覆うように、約1000nmの厚みを有するシリコン酸化膜からなる層間絶縁膜9が形成されている。この層間絶縁膜9は、それぞれ、シリサイド膜8aおよび8bに達するコンタクトホール9a、9b、9cおよび9dを有する。コンタクトホール9a、9b、9cおよび9d内には、それぞれ、タンゲステンからなるプラグ10a、10b、10cおよび10dが埋め込まれている。プラグ10a、10b、10cおよび10dにそれぞれ接続するように配線11aおよび11bが形成されている。なお、配線11aおよび11bは、下層から上層に向かって、約30nmの厚みを有するTi層と、約30nmの厚みを有するTiN層と、約400nmの厚みを有するAlCu層とからなる。

【0023】

上記したnチャネルMOSトランジスタのn型のソース／ドレイン領域5と、pチャネルMOSトランジスタのソース／ドレイン領域15とは、プラグ10bとプラグ10dと上層配線11bとを介して接続されている。また、nチャネルMOSトランジスタのゲート電極4aと、pチャネルMOSトランジスタのゲー

ト電極 4b とは、プラグ 10a と 10c と上層配線 11a と更に上層に位置する図示しない配線とを介して接続されている。これにより、CMOS インバータが構成されている。

【0024】

ここで、本実施形態による半導体装置では、図 2 に示すように、n チャネル MOS トランジスタのサイドウォールスペーサ 6 の内部と、ソース／ドレイン領域 5 を構成する低濃度不純物領域 5a および高濃度不純物領域 5b のゲート絶縁膜 3 の近傍領域とに、それぞれ、フッ素が導入されている。これにより、サイドウォールスペーサ 6 の誘電率と、ソース／ドレイン領域 5 を構成する低濃度不純物領域 5a および高濃度不純物領域 5b のゲート絶縁膜 3 の周辺領域の誘電率とが、十分に小さくなる。また、p チャネル MOS トランジスタについても同様に、サイドウォールスペーサ 6 の内部と、ソース／ドレイン領域 15 を構成する低濃度不純物領域 15a および高濃度不純物領域 15b のゲート絶縁膜 3 の近傍領域とに、それぞれフッ素が導入されているため、サイドウォールスペーサ 6 の誘電率と、ソース／ドレイン領域 5 を構成する低濃度不純物領域 15a および高濃度不純物領域 15b のゲート絶縁膜 3 の周辺領域の誘電率とが、十分に小さくなる。

【0025】

図 3 には、p チャネル MOS トランジスタのサイドウォールスペーサとソース／ドレイン領域周辺とに、フッ素を導入した場合と導入しない場合との、オーバーラップ容量を示す実測データが示されている。図 3 から分かるように、ゲート電極の周辺長が約 13.4 mm ～ 約 130.4 mm の範囲において、フッ素イオンを注入した場合のオーバーラップ容量は、フッ素イオンを注入しない場合のオーバーラップ容量と比較して約 10% 小さい。

【0026】

上記のように、この本実施形態による半導体装置では、n チャネル MOS トランジスタのソース／ドレイン領域 5 および p チャネル MOS トランジスタのソース／ドレイン領域 15 に生じるオーバーラップ容量をともに低減することができる。

【0 0 2 7】

図 4 ～ 図 1 8 は、図 1 に示した本発明の一実施形態による半導体装置の製造プロセスを説明するための断面図である。図 1、図 2 および図 4 ～ 図 1 8 を参照して、本実施形態による半導体装置（CMOS インバータ）の製造プロセスについて説明する。

【0 0 2 8】

まず、図 4 に示すように、p 型単結晶シリコン基板 1 の主表面の所定の領域に、活性領域を分離するための S T I 構造を有する素子分離 2 a、2 b および 2 c を形成する。この後、p 型単結晶シリコン基板 1 の表面を酸化することによって、シリコン酸化膜からなる犠牲酸化膜 1 3 を形成する。

【0 0 2 9】

次に、図 5 に示すように、n チャネル MOS トランジスタが形成される領域がマスクされるように、リソグラフィ技術を用いてレジスト膜 1 4 a を形成する。この後、レジスト膜 1 4 a をマスクとして、上記した犠牲酸化膜 1 3 を介して、p 型単結晶シリコン基板 1 に、リン（P）を、約 3 8 0 k e V の注入エネルギーおよび約 $4 \times 10^{13} \text{ cm}^{-2}$ の注入量でイオン注入することによって、n ウェル領域 1 2 b を形成する。更に、砒素（As）を、約 1 0 0 k e V ～ 約 1 4 0 k e V の注入エネルギーおよび約 $0.5 \times 10^{12} \text{ cm}^{-2}$ ～ 約 $4 \times 10^{12} \text{ cm}^{-2}$ の注入量でイオン注入することによって、チャネル領域 1 b の不純物濃度を調整することにより、しきい電圧の最適化を行う。この後、レジスト膜 1 4 a を除去する。

【0 0 3 0】

次に、図 6 に示すように、p チャネル MOS トランジスタが形成される領域がマスクされるように、リソグラフィ技術を用いてレジスト膜 1 4 b を形成する。この後、上記した犠牲酸化膜 1 3 を介して、p 型単結晶シリコン基板 1 に、ボロン（B）を、約 1 9 0 k e V の注入エネルギーおよび約 $4 \times 10^{13} \text{ cm}^{-2}$ の注入量でイオン注入することによって、p ウェル領域 1 2 a を形成する。更に、ボロン（B）を、約 1 0 k e V ～ 約 3 0 k e V の注入エネルギーおよび約 $1 \times 10^{12} \text{ cm}^{-2}$ ～ 約 $5 \times 10^{12} \text{ cm}^{-2}$ の注入量でイオン注入することによって、チャネル領域 1 a の不純物濃度を調整することにより、しきい値電圧の最適化を行う。この後

、レジスト膜 14b を除去する。

【0031】

次に、図7に示すように、NO雰囲気中でアニールすることにより、p型単結晶シリコン基板1の表面に、約2nm～約10nmの厚みを有するシリコン酸窒化物からなるゲート絶縁膜3を形成する。この後、CVD法により、全面に多結晶シリコン膜（図示せず）を約150nm～約200nmの厚みで堆積した後、通常のフォトリソグラフィ工程とRIE（Reactive Ion Etching）によるエッチング技術とを用いて、その多結晶シリコン膜をパターンニングする。これにより、多結晶シリコン膜からなるゲート電極4aおよび4bを形成する。上記したエッチングにより、ゲート絶縁膜3は、大きなダメージを受ける。そこで、この後、ゲート絶縁膜3を再酸化する。

【0032】

次に、図8に示すように、pチャネルMOSトランジスタが形成される領域にレジスト膜16aを形成する。その後、pウェル領域12aの主表面に、リン（P）を約30keVの注入エネルギー、約 $0.5 \times 10^{13} \text{ cm}^{-2}$ ～約 $3 \times 10^{13} \text{ cm}^{-2}$ の注入量、約7度の入射角で、p型単結晶シリコン基板1を90度ずつ回転させながら4回イオン注入する。これにより、nチャネルMOSトランジスタのソース／ドレイン領域を構成する低濃度不純物領域（ソース／ドレイン・エクステンション領域）5aを形成する。この後、レジスト膜16aを除去する。

【0033】

次に、図9に示すように、nチャネルMOSトランジスタが形成される領域にレジスト膜16bを形成する。その後、nウェル領域12bの主表面に、2フッ化ホウ素（BF₂）を約15keVの注入エネルギー、約 $1 \times 10^{13} \text{ cm}^{-2}$ ～約 $7 \times 10^{13} \text{ cm}^{-2}$ の注入量、約7度の入射角で、p型単結晶シリコン基板1を90度ずつ回転させながら4回イオン注入する。これにより、pチャネルMOSトランジスタのソース／ドレイン領域を構成する低濃度不純物領域15aを形成する。この後、レジスト膜16bを除去する。これによって、図10に示す状態となる。

【0034】

次に、図 11 に示すように、全面に、フッ素 (F) を約 10 keV の注入エネルギーおよび約 $3 \times 10^{15}\text{ cm}^{-2}$ の注入量でイオン注入する。これにより、ゲート電極にフッ素イオンが注入されると共に、p ウェル領域 12a および n ウェル領域 12b にフッ素が導入されたフッ素領域 17 が形成される。

【0035】

次に、図 12 に示すように、熱 CVD 法を用いて、全面にシリコン酸化膜を約 650°C ～約 830°C の温度で堆積する。このシリコン酸化膜を RIE を用いてエッチバックすることによって、図 13 に示すように、ゲート電極 4a および 4b の側面にシリコン酸化膜からなるサイドウォールスペーサ 6 を形成する。なお、上記したエッチバックの際に、ゲート絶縁膜 3 のうち、ゲート電極 4a、4b およびサイドウォールスペーサ 6 の直下にある領域以外は除去される。

【0036】

次に、図 14 に示すように、全面に約 5 nm ～約 20 nm の厚みを有するシリコン窒化膜 7 を堆積する。このシリコン窒化膜 7 は、後工程で行うソース／ドレイン領域を構成する高濃度不純物領域 5b および 15b を形成するためのイオン注入の際に、チャネリングを防止するため、および後の熱処理時にフッ素が外方拡散することを抑制するために形成する。

【0037】

次に、図 15 に示すように、p チャネル MOS トランジスタが形成される領域にレジスト膜 18a を形成する。その後、p 型単結晶シリコン基板 1 に、砒素 (As) を約 45 keV の注入エネルギーおよび約 $1 \times 10^{15}\text{ cm}^{-2}$ ～約 $8 \times 10^{15}\text{ cm}^{-2}$ の注入量でイオン注入にすることにより、n チャネル MOS トランジスタのソース／ドレイン領域 5 を構成する高濃度不純物領域 5b を形成する。この後、レジスト膜 18a を除去する。

【0038】

次に、図 16 に示すように、n チャネル MOS トランジスタが形成される領域にレジスト膜 18b を形成する。その後、ボロン (B) を約 7 keV の注入エネルギーおよび約 $3 \times 10^{15}\text{ cm}^{-2}$ ～約 $10 \times 10^{15}\text{ cm}^{-2}$ の注入量でイオン注入にすることにより、ソース／ドレイン領域 15 を構成する高濃度不純物領域 15b

を形成する。この後、レジスト膜 18b を除去する。そして、RTA (Rapid Thermal Annealing) 法で約 700℃～約 1100℃で、約 0.1 秒～約 60 秒間の熱処理を行うことによって、高濃度不純物領域 5b に注入した砒素 (As) および高濃度不純物領域 15b に注入したボロン (B) を活性化する。

【0039】

上記した低濃度不純物領域 25a および 35a と高濃度不純物領域 25b および 35b とによって、LDD (Lightly Doped Drain) 構造の一对のソース／ドレイン領域 5 および 15 が構成される。

【0040】

なお、上記した熱処理により、ゲート電極 4a および 4b に存在するフッ素はサイドウォールスペーサ 6 内に拡散される。また、p ウェル領域 12a および n ウェル領域 12b 内に存在するフッ素領域 17 のフッ素も、サイドウォールスペーサ 6 およびソース／ドレイン領域 5 および 15 を構成する低濃度不純物領域 5a および 15a と、高濃度不純物領域 5b および 15b におけるゲート絶縁膜 3 の近傍領域とに拡散される。このとき、シリコン窒化膜 7 により、フッ素が p 型単結晶シリコン基板 1 の外に拡散されるのを防止する。これにより、n チャネル MOS トランジスタにおけるフッ素の分布は、図 2 に示すようになる。また、p チャネル MOS トランジスタにおけるフッ素の分布も同様である。

【0041】

この後、シリコン窒化膜 7 を除去する。図 17 に示すように、シリコン窒化膜 7 を除いた領域にサリサイド (self-aligned silicide) プロセスを用いて、多結晶シリコンからなるゲート電極 4a および 4b の上面上と、ソース／ドレイン領域を構成する高濃度不純物領域 5b および 15b の上面上とに、それぞれ自己整合的に、コバルトシリサイド (CoSi_2) からなるシリサイド膜 8a および 8b を形成する。

【0042】

この後、図 1 に示したように、CVD 法を用いて層間絶縁膜 9 を形成した後、所定領域に、フォトリソグラフィ技術と RIE などのドライエッチング技術とを

用いて、コンタクトホール 9 a、9 b、9 c および 9 d を形成する。このコンタクトホール 9 a、9 b、9 c および 9 d 内に CVD 法でタングステンを埋め込むことにより、プラグ 10 a、10 b、10 c および 10 d を形成する。最後に、層間絶縁膜 9 の上面上に、下層から上層に向かって、約 30 nm の厚みを有する Ti 層と、約 30 nm の厚みを有する TiN 層と、約 400 nm の厚みを有する AlCu 層とからなる積層膜を形成した後、この積層膜をパターンニングすることにより、上層配線 32 a および 32 b を形成する。このようにして、本実施形態による CMOS インバータ（半導体装置）が完成する。

【0043】

本実施形態では、上記のように、ゲート電極 4 a および 4 b にイオン注入したフッ素を熱拡散により n チャネル MOS トランジスタおよび p チャネル MOS トランジスタのサイドウォールスペーサ 6 を構成するシリコン酸化膜に拡散させる。従って、サイドウォールスペーサの誘電率を低減することができるため、n チャネル MOS トランジスタおよび p チャネル MOS トランジスタのゲート電極 4 a および 4 b とソース／ドレイン領域 5 および 15 との間に生じるオーバーラップ容量を十分に低減することができる。

【0044】

更に、本実施形態では、上記のように、p ウェル領域 12 a および n ウェル領域 12 b 内に存在するフッ素領域 17 から、フッ素を n チャネル MOS トランジスタおよび p チャネル MOS トランジスタのサイドウォールスペーサ 6 を構成するシリコン酸化膜に拡散させる。従って、サイドウォールスペーサの誘電率を更に低減することができるため、n チャネル MOS トランジスタおよび p チャネル MOS トランジスタのゲート電極 4 a および 4 b とソース／ドレイン領域 5 および 15 との間に生じるオーバーラップ容量を十分に低減することができる。

【0045】

更に、本実施形態では、サイドウォールスペーサ 6 の形成後に、全面にシリコン窒化膜 7 を形成している。このため、ゲート電極 4 a および 4 b にイオン注入されたフッ素を、熱処理によりサイドウォールスペーサ内に拡散させる際に、フッ素がサイドウォールスペーサの外に拡散されない。従って、サイドウォールス

ペーサ 6 を構成するシリコン酸化膜の誘電率を十分に低減することができるため、 n チャネル MOS トランジスタおよび p チャネル MOS トランジスタのソース／ドレイン領域 5 および 1 5 に生じるオーバーラップ容量をより十分に低減することができる。

【 0 0 4 6 】

なお、今回開示された実施形態は、全ての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内での全ての変更が含まれる。

【 0 0 4 7 】

例えば、上記実施形態では、CMOS インバータの形成方法について説明したが、本発明はこれに限らず、 n チャネル MOS トランジスタまたは p チャネル MOS トランジスタの何れか一方について、本発明を適用しても良い。

【 0 0 4 8 】

また、上記実施形態では、フッ素を導入することによりオーバーラップ容量を低減したが、本発明はこれに限らず、フッ素以外の誘電率を低減する元素を導入しても、同様の効果を得ることができる。フッ素以外の誘電率を低減する元素としては、例えば、炭素が考えられる。

【 0 0 4 9 】

また、上記実施形態では、サイドウォールスペーサを構成するシリコン酸化膜（絶縁膜）を形成する方法として熱 CVD を用いたが、プラズマ CVD を用いて絶縁膜を形成してサイドウォールスペーサを形成した後、約 4 0 0 °C の温度で熱処理を行っても良い。このようにしても、ゲート電極中のフッ素をサイドウォールスペーサに拡散することが可能である。

【 0 0 5 0 】

また、上記実施形態では、フッ素が導入されたサイドウォールスペーサを構成する材料として、シリコン酸化膜を用いたが、本発明はこれに限らず、シリコン酸化膜以外の Si を含む絶縁膜から成るサイドウォールスペーサにフッ素を導入するようにしても良い。また、Si を含まない絶縁膜からなるサイドウォールス

ペーサにフッ素を導入するようにしても良い。

【0051】

また、上記実施形態では、フッ素を約 10 keV の注入エネルギーおよび約 $3 \times 10^{15}\text{ cm}^{-2}$ の注入量でイオン注入したが、約 $5\text{ keV} \sim 30\text{ keV}$ の注入エネルギーおよび約 $1.5 \times 10^{15}\text{ cm}^{-2} \sim 5.0 \times 10^{15}\text{ cm}^{-2}$ の注入量でイオン注入するようにしても良い。

【0052】

また、上記実施形態では、図 17 に示すようにサリサイド工程において、シリコン窒化膜 7 を全て除去したが、シリサイドの形成が不要な領域もしくは不都合な領域のシリコン窒化膜 7 を残しても良い。この場合、図 16 におけるレジスト膜 18b を除去した後、CVD 法で全面にシリコン酸化膜を形成する。そして、シリサイド膜の形成が不要な領域もしくは不都合な領域にシリコン窒化膜 7 とシリコン酸化膜との積層膜を残すように、フォトリソグラフィ技術とウェットエッチング技術とを用いてパターンニングする。これにより、サリサイド工程において、シリコン窒化膜 7 とシリコン酸化膜の積層膜が残っている部分にシリサイド膜を形成しないようにすることができる。従って、図 16 に示すようにシリコン窒化膜 7 が全て除去される領域、シリコン窒化膜 7 が一部のみ残っている領域（図示せず）、およびシリコン窒化膜 7 が全て残っている領域（図示せず）を形成してもよい。

【0053】

また、上記実施形態では、コンタクトホール内に、タングステンからなるプラグを直接埋め込んだが、タングステンからなるプラグを埋め込む前に、約 10 nm の厚みを有する Ti 層と約 10 nm の厚みを有する TiN 層とで構成されるバリア層を形成するようにしても良い。

【0054】

【発明の効果】

以上のように、本発明によれば、半導体装置のゲート電極とソース／ドレイン領域との間のオーバーラップ容量を十分に低減することができる。

【図面の簡単な説明】

【図 1】

本発明の一実施形態による半導体装置を示した断面図である。

【図 2】

図 1 に示した本発明の一実施形態による半導体装置の MOS トランジスタ周辺の拡大図である。

【図 3】

フッ素イオンを注入した場合と注入しない場合とにおける、ゲート電極の周辺長とゲート電極－ソース／ドレイン間に生じるオーバーラップ容量との関係を示す図である。

【図 4】

図 1 に示した本発明の一実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 5】

図 1 に示した本発明の一実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 6】

図 1 に示した本発明の一実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 7】

図 1 に示した本発明の一実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 8】

図 1 に示した本発明の一実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 9】

図 1 に示した本発明の一実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 1 0】

図 1 に示した本発明の一実施形態による半導体装置の製造プロセスを説明する

ための断面図である。

【図 1 1】

図 1 に示した本発明の一実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 1 2】

図 1 に示した本発明の一実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 1 3】

図 1 に示した本発明の一実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 1 4】

図 1 に示した本発明の一実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 1 5】

図 1 に示した本発明の一実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 1 6】

図 1 に示した本発明の一実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 1 7】

図 1 に示した本発明の一実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 1 8】

従来の半導体装置を示した断面図である。

【図 1 9】

従来の半導体装置の製造プロセスを説明するための断面図である。

【図 2 0】

従来の半導体装置の製造プロセスを説明するための断面図である。

【図 2 1】

従来の半導体装置の製造プロセスを説明するための断面図である。

【図 2 2】

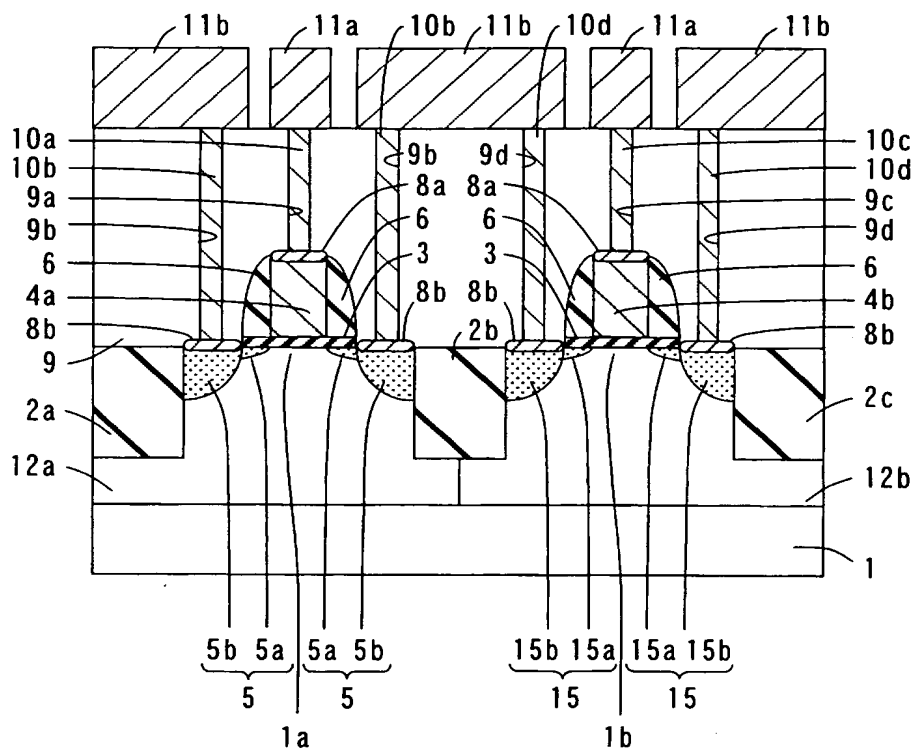
従来の半導体装置の製造プロセスを説明するための断面図である。

【符号の説明】

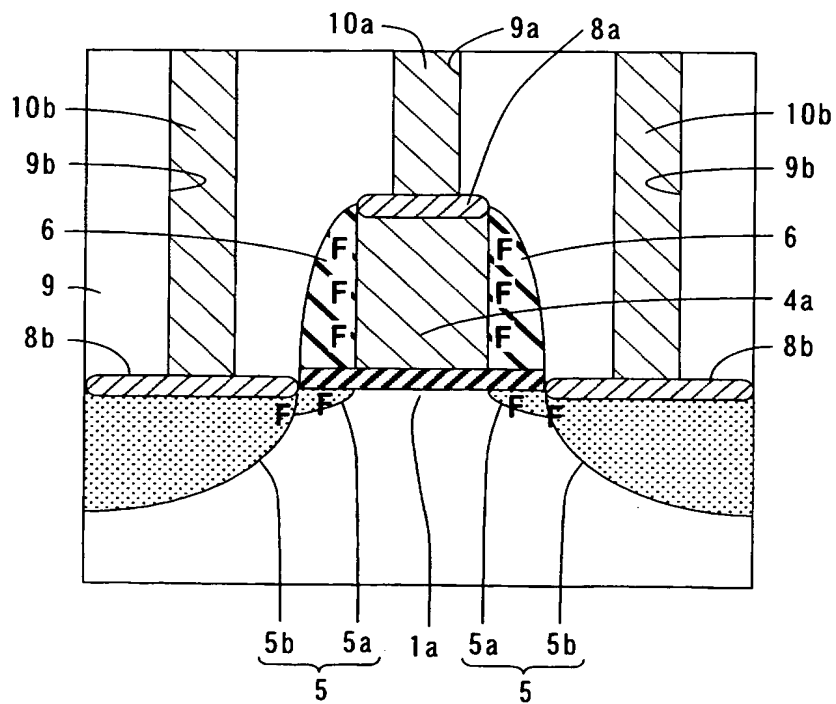
- 1 p 型単結晶シリコン基板（半導体領域）
- 3 ゲート絶縁膜
- 4 a、4 b ゲート電極
- 5、1 5 ソース／ドレイン領域
- 5 a、1 5 a 低濃度不純物領域
- 5 b、1 5 b 高濃度不純物領域
- 6 サイドウォールスペーサ
- 1 2 a p ウェル領域
- 1 2 b n ウェル領域

【書類名】 図面

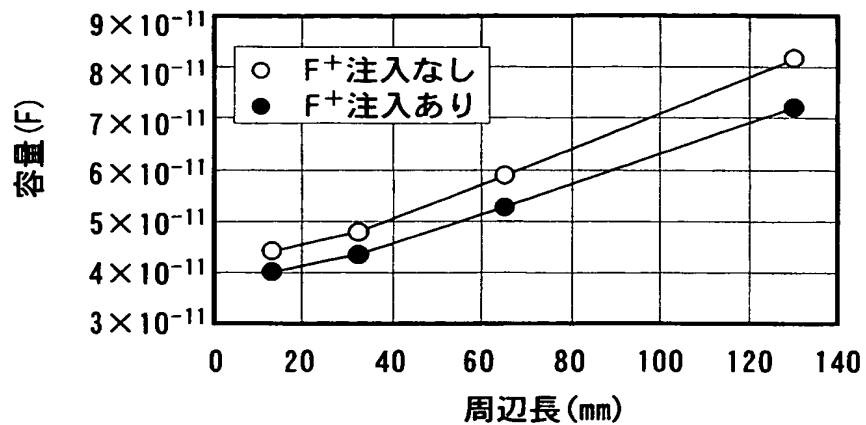
【図 1】



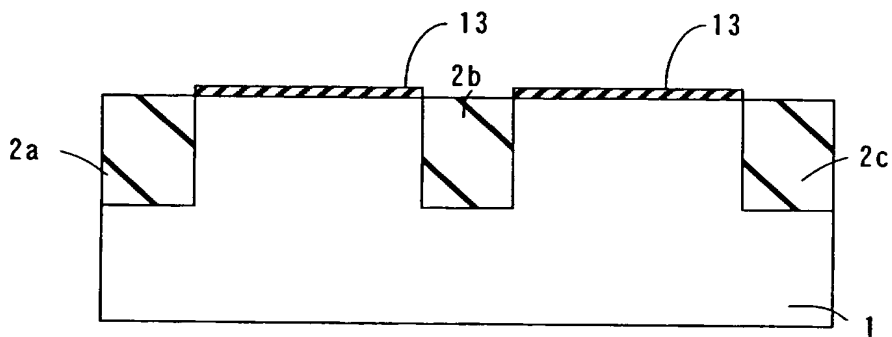
【図 2】



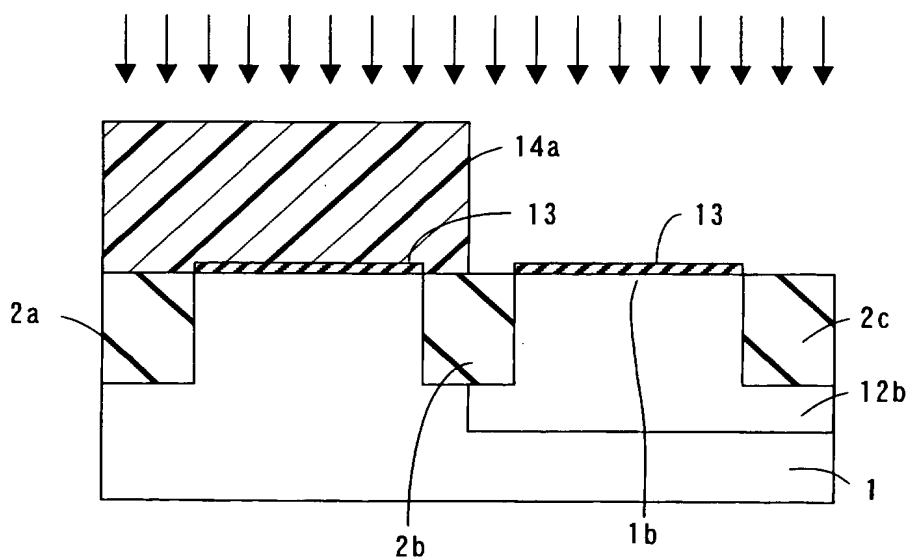
【図 3】



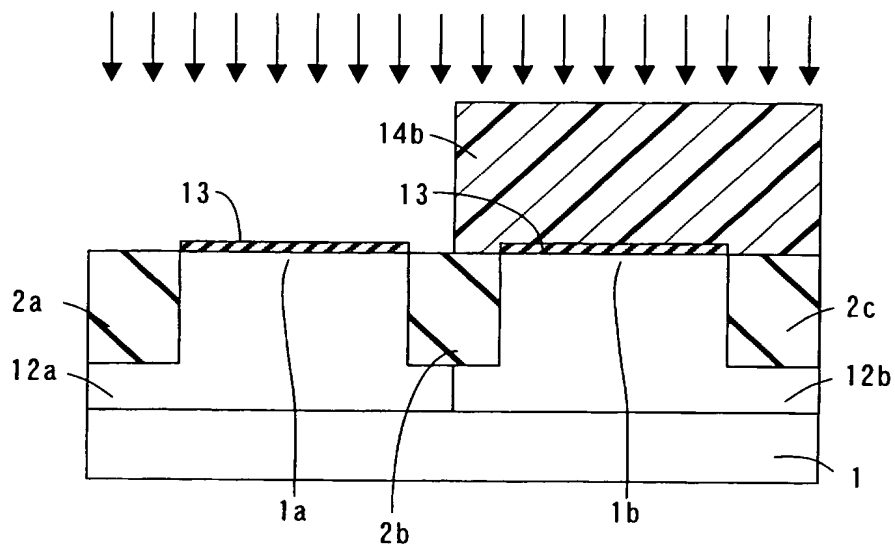
【図 4】



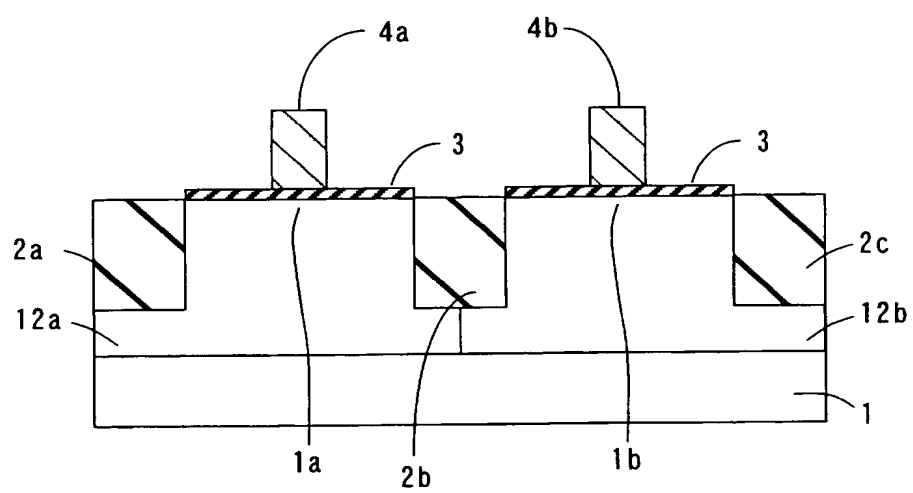
【図 5】



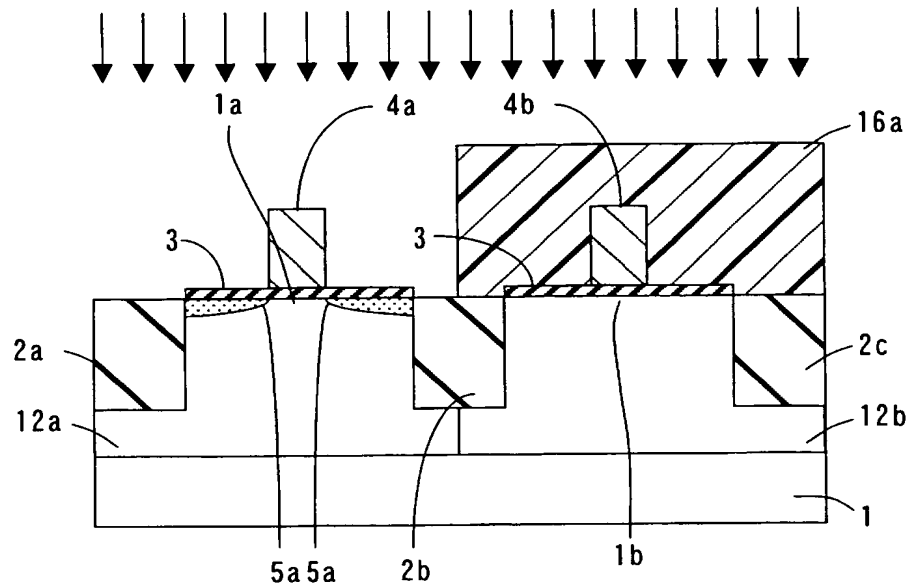
【図 6】



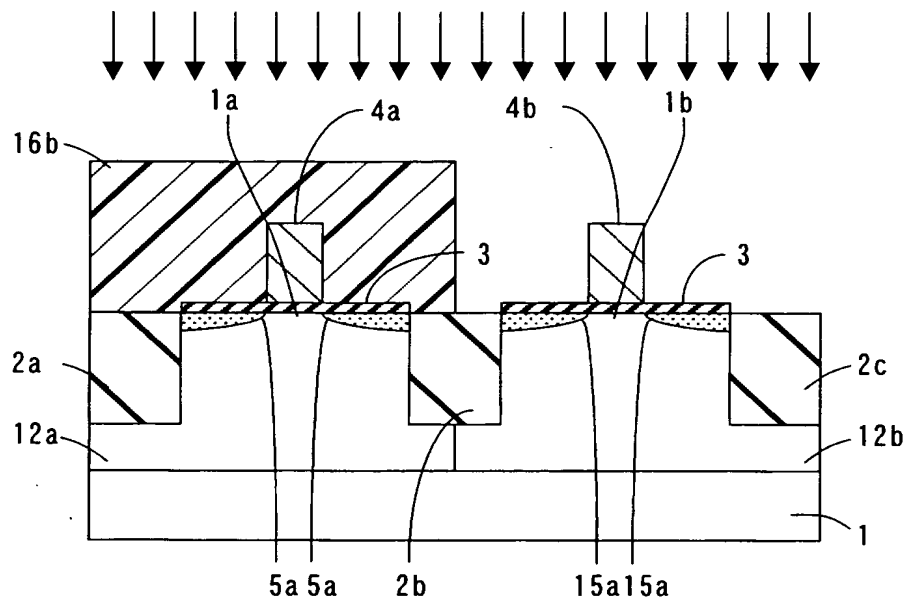
【図 7】



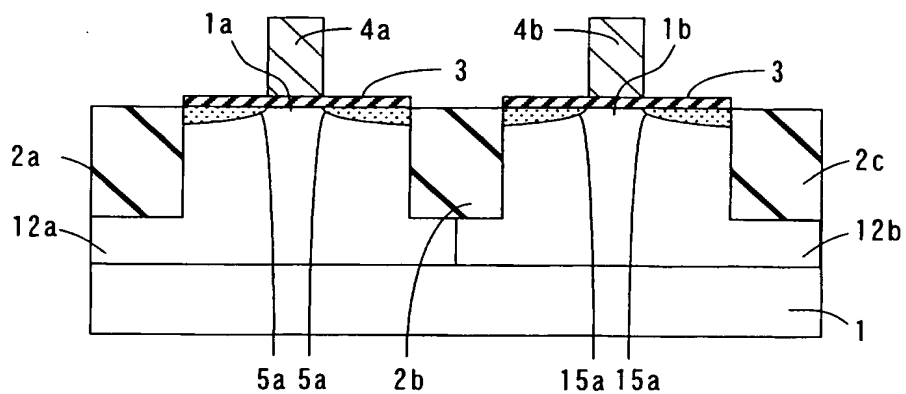
【図 8】



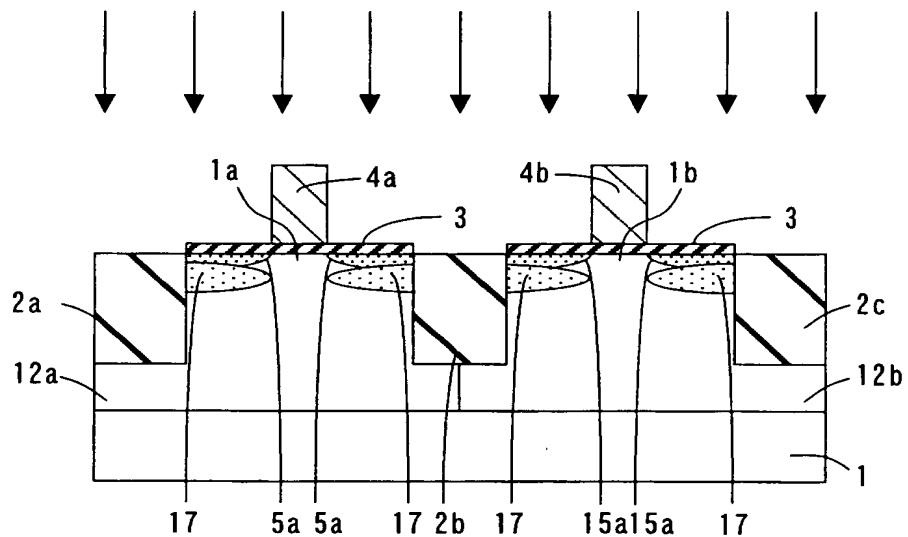
【図 9】



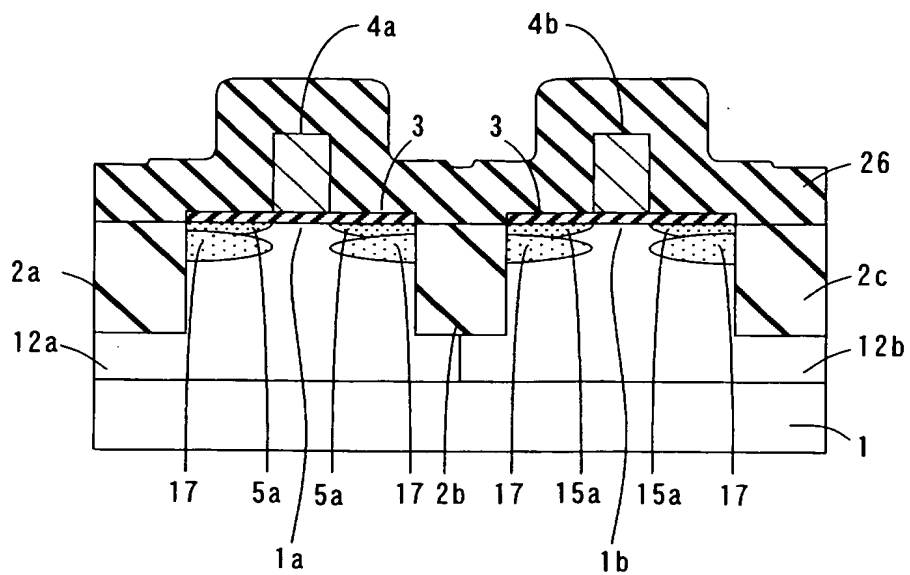
【図 10】



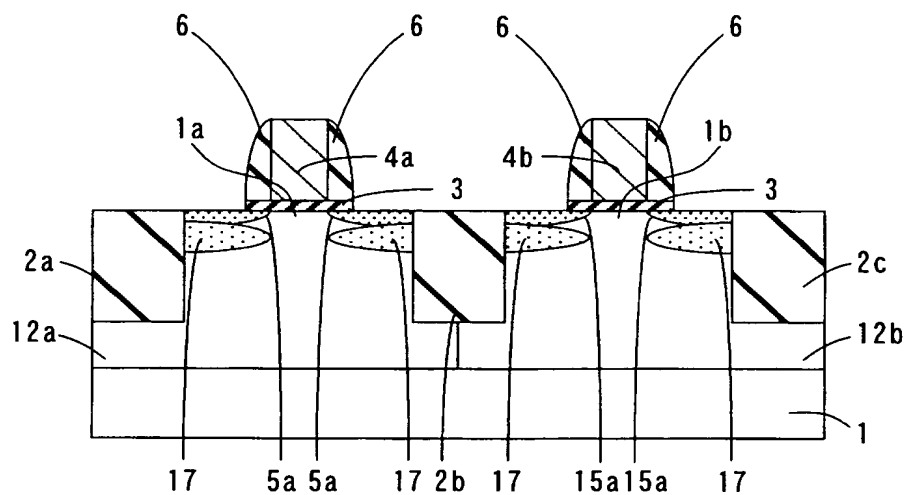
【図 11】



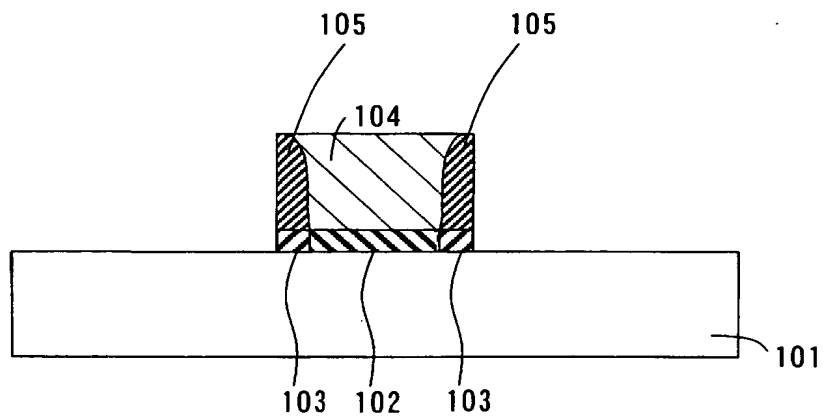
【図 12】



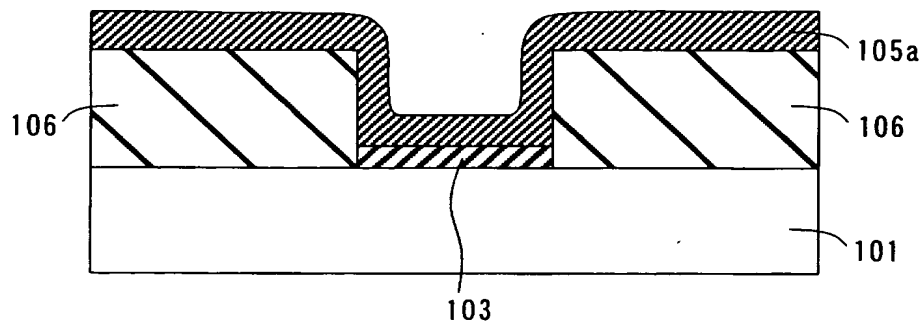
【図 13】



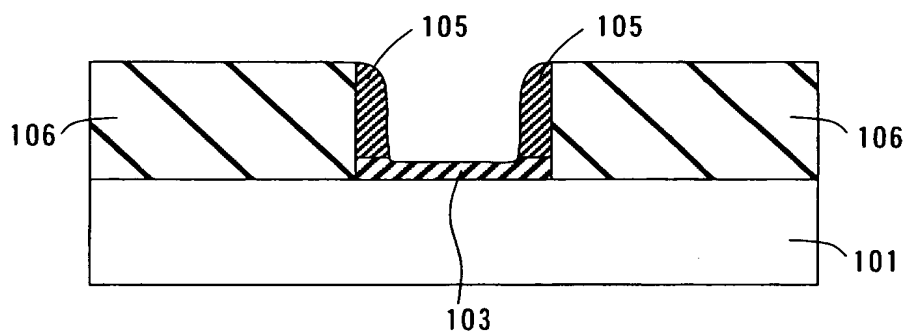
【図 18】



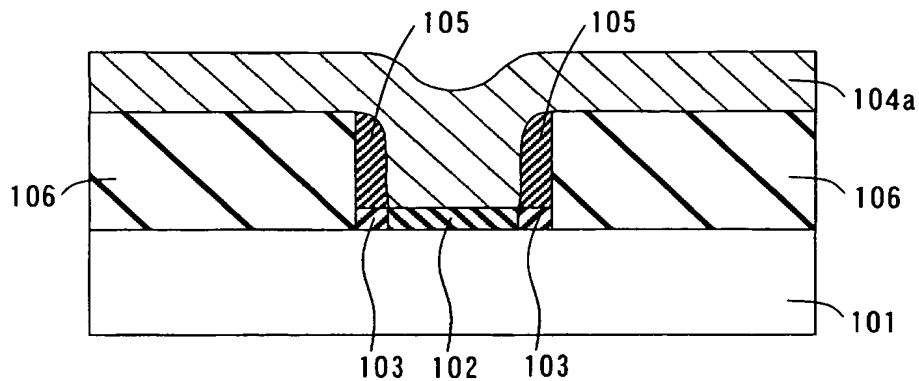
【図 19】



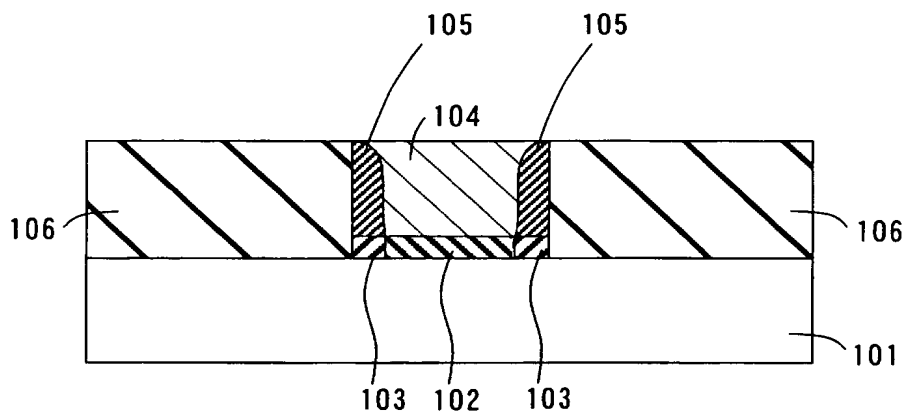
【図 20】



【図 2 1】



【図 2 2】



【書類名】 要約書

【要約】

【課題】 ゲート電極とソース／ドレイン領域との間に生じるオーバーラップ容量を十分に低減することが可能な、半導体装置の製造方法を提供する。

【解決手段】 この半導体装置の製造方法は、p ウェル領域 1 2 a (n ウェル領域 1 2 b) の表面上に形成されたゲート絶縁膜 3 上にゲート電極 4 a (4 b) を形成する第 1 の工程と、少なくともゲート電極 4 a (4 b) に、誘電率を低減する元素をイオン注入する第 2 の工程と、ゲート電極 4 a (4 b) の側面にサイドウォールスペーサ 6 を形成する第 3 の工程と、少なくともサイドウォールスペーサ 6 の上にシリコン窒化膜 7 を形成する第 4 の工程と、熱処理により誘電率を低減する元素をゲート電極 4 a (4 b) からサイドウォールスペーサ 6 に拡散させる第 5 の工程とを含む。

【選択図】 図 2

特願 2 0 0 3 - 0 9 3 4 2 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 1 8 8 9]

1. 変更年月日

1 9 9 3 年 1 0 月 2 0 日

[変更理由]

住所変更

住 所

大阪府守口市京阪本通 2 丁目 5 番 5 号

氏 名

三洋電機株式会社